

# 中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

10/044950 PRO

01/15/02

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2001 年 01 月 18 日  
Application Date

申請案號：090101196  
Application No.

申請人：奇美電子股份有限公司  
Applicant(s)

局長  
Director General

陳明邦

發文日期：西元 2001 年 5 月 8 日  
Issue Date

發文字號：  
Serial No. 09011006424

申請日期：JAN. 18 2001

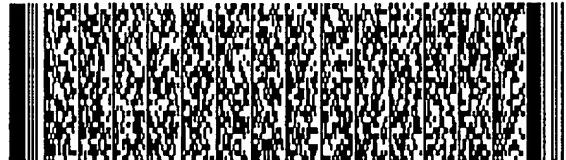
案號：90101196

類別：

(以上各欄由本局填註)

## 發明專利說明書

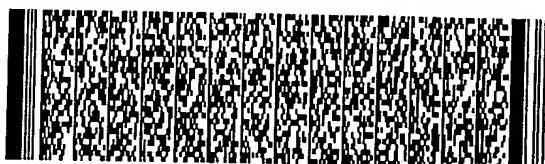
一、 發明名稱	中 文	解碼器之佈局的結構與製造方法
	英 文	
二、 發明人	姓 名 (中文)	1. 蕭全成 2. 卜令楷 3. 洪坤成 4. 陳建賓
	姓 名 (英文)	1. 2. 3. 4.
	國 籍	1. 中華民國 2. 中華民國 3. 中華民國 4. 中華民國
	住、居所	1. 嘉義縣布袋鎮龍江里14鄰新厝仔384之4號 2. 台南市實踐街103巷27弄20號 3. 新竹市光復路一段476巷56號7樓 4. 台南縣永康市中山南路902巷21-36號
三、 申請人	姓 名 (名稱) (中文)	1. 奇美電子股份有限公司
	姓 名 (名稱) (英文)	1.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 台南縣台南科學工業園區新市鄉奇業路1號
	代表人 姓 名 (中文)	1. 許文龍
代表人 姓 名 (英文)	1.	



四、中文發明摘要 (發明之名稱：解碼器之佈局的結構與製造方法)

一種解碼器之佈局結構與製造方法，解碼器包括 $m \times n$ 個節點，這些節點包括數個電晶體節點與數個通道節點。解碼器的電晶體節點的製造方法為傳統上形成電晶體的方法，即依次形成閘極、第一汲極/源極與第二汲極/源極。通道節點之製造方法為只形成一通道，且此通道與電晶體節點之第一汲極/源極與第二汲極/源極為同時形成，材料亦為相同。本發明可在不額外增加光罩數量，也使電路寬度縮短，達成此解碼器電路的佈局。

英文發明摘要 (發明之名稱：)



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

## 五、發明說明 (1)

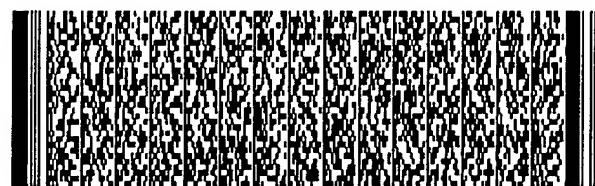
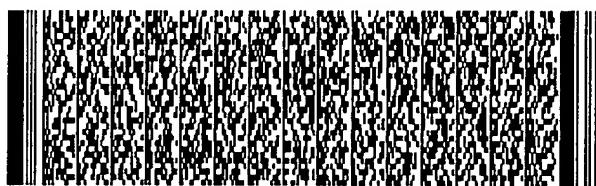
### 【發明領域】

本發明是有關於一種解碼器之佈局結構與製造方法，且特別是有關於一種不需增加製程所需光罩的數目且使寬度縮短之解碼器之佈局的結構與製造方法。

### 【發明背景】

液晶螢幕(Liquid Crystal Display, LCD)中包括有資料驅動器(Data Driver)與掃瞄驅動器(Scan Driver)，首先，藉由掃瞄驅動器決定一需更新資料的掃瞄線(Scan Line)，然後，藉由資料驅動器透過數條資料線(Data Line)將此掃瞄線的所有像素更新。以彩色薄膜電晶體液晶螢幕(Color Thin-film Transistor LCD, Color TFT LCD)為例，液晶螢幕上的每個像素(pixel)由三個次像素(sub-pixel)所組成。各個次像素分別表示紅(Red)、綠(Green)及藍(Blue)的顏色，分別由一個薄膜電晶體(Thin Film Transistor, TFT)來控制每個次畫素的灰階值。所以每個像素是由三個薄膜電晶體所控制。

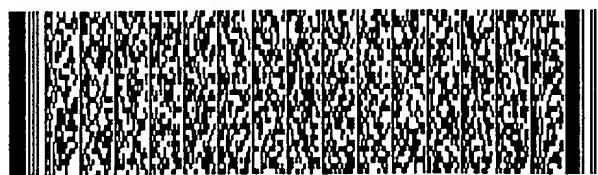
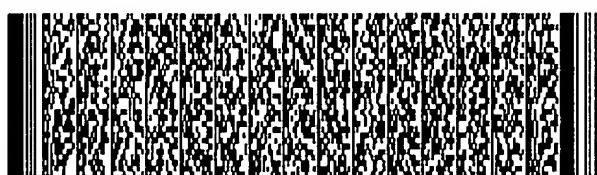
請參照第1圖，其所繪示乃彩色薄膜電晶體液晶螢幕之驅動電路架構圖，此圖以彩色液晶螢幕100之解析度1280\*1024為例，每列有 $1280*3=3840$ 個薄膜電晶體，共有1024列。首先，資料驅動器106將接收之數位影像資料D，數位影像資料D係包括每個像素之顏色的灰階值，輸入數位類比轉換裝置(Digital to Analog Converter, D/A Converter, DAC)108，以將數位影像資料D轉換成類比影



## 五、發明說明 (2)

像資料。接著，掃瞄驅動器104選取一需更新資料的掃瞄線114(m)，其中 $1 \leq m \leq 1024$ 。然後，資料驅動器106透過資料線112更新掃瞄線114(m)控制的次像素的資料。

在液晶螢幕中，每個次像素內皆含有液晶，藉由改變供給液晶的電壓而改變液晶的透光率。如果持續供給每個次像素同一極性的電壓，容易造成次像素中之液晶的損壞。因為液晶的透光率與供給液晶的電壓大小有關，而與供給液晶的電壓極性無關，所以可以用交互輸出兩種不同極性的電壓來解決這個問題。請參照第2圖，其所繪示乃第1圖中之數位類比轉換裝置108的電路方塊圖。數位類比轉換裝置180包括多個P型數位類比轉換單元202、多個N型數位類比轉換單元204、多個緩衝單元206、切換單元210與212。P型數位類比轉換單元202係由P型電晶體(PMOS)組成，N型數位類比轉換單元204係由N型電晶體(NMOS)組成。此些P型數位類比轉換單元與N型數位類比轉換單元係交錯排列，P型數位類比轉換單元與N型數位類比轉換單元係用以輸出不同位準的電壓。當一條掃瞄線之數位影像資料D饋入至數位類比轉換裝置108後，首先，由切換單元210依照點反向(dot inversion)或行反向(column inversion)的方法，決定數位影像資料D之各個次像素之數位資料D(n)係各別饋入至此些P型數位類比轉換單元或此些N型數位類比轉換單元之一。若數位資料D(n)輸入至P型數位類比轉換單元202，則轉換成類比訊號V<sub>p</sub>；若數位資料D(n)輸入至N型數位類比轉換單元204，則轉換成類比

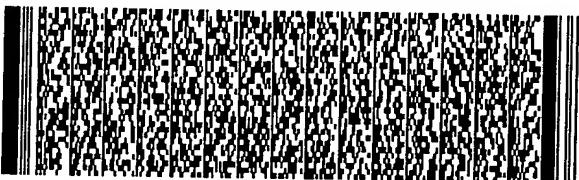


### 五、發明說明 (3)

訊號  $V_n$ 。然後，將類比訊號分別輸入至緩衝單元 206 以產生輸出訊號  $V_p'$  與  $V_n'$ 。接著，切換單元 212 依切換單元 210 所使用的方法，將這些輸出訊號  $V_p'$  與  $V_n'$  各別輸出至資料線之一。其中類比訊號  $V_p'$  與  $V_n'$  係為不同極性的電壓，以供給液晶不同之電壓極性。此為熟知此項技藝之人士所共知。

請參照第3圖，其所繪示乃第2圖中之N型數位類比轉換單元 204 之一例的電路圖，茲以N型數位類比轉換單元 204 之輸入端為3位元為例，亦即數位資料  $D(n)$  為3位元。N型數位類比轉換單元 204 包括一電阻串  $R_s$ 、一輸出線  $Out$  與一解碼器 302。電阻串  $R_s$  的兩端分別接到電壓  $V_c$  與  $V_d$ ，電阻串  $R_s$  係由電阻  $R_0$  至  $R_6$  串接而成，藉由分壓定律可用以輸出  $V(0)$  至  $V(7)$  共8種不同之電壓位準。

解碼器 302 係由多個電晶體節點 310 與多個通道節點 320 以陣列形式組合而成。每一行之電晶體節點 310 之電晶體  $Q$  的閘極係相連，形成解碼輸入線  $B(0)$  至  $B(5)$ 。每一列之電晶體節點 310 之電晶體  $Q$  與通道節點之接線  $K$  係為串聯，形成信號線  $L(0)$  至  $L(7)$ 。請同時參照第4A圖，其所繪示乃一電晶體節點 310 之電路圖，此電晶體節點 310 包括一電晶體  $Q$ 。請亦同時參照第4B圖，其所繪示乃一通道節點之電路圖，此通道節點 320 包括一接線  $K$ 。解碼輸入線  $B(0)$  至  $B(5)$  係用以接收數位資料  $D(n)$ ，數位資料  $D(n)$  之位元值  $b_0$ 、 $b_0'$ 、 $b_1$ 、 $b_1'$ 、 $b_2$  與  $b_2'$  係分別輸入至解碼輸入線  $B(5)$  至  $B(0)$ ，其中， $b_0'$ 、 $b_1'$  與  $b_2'$  係分別為  $b_0$ 、 $b_1$  與  $b_2$



#### 五、發明說明 (4)

的反相值。信號線L(0)至L(7)之輸入端係分別與電阻串Rs之輸出端耦接，信號線L(0)至L(7)之輸出端係共同連接到輸出線Out。輸出線Out係用以將數位資料D(n)進行數位類比轉換後之類比訊號Vn輸出。電阻串Rs輸出之電壓V(0)至V(7)係分別輸入至信號線L(0)至L(7)。信號線L(i)上的多個電晶體之閘極係分別受解碼輸入線B之控制。當信號線L(i)上的電晶體皆為導通時，輸出線Out即輸出電壓V(i)，而且此時只有信號線L(i)上的電晶體皆為導通，亦即只有信號線L(i)的輸入端與輸出端為導通。其中 $0 <= i <= 7$ 。例如，當數位資料D(n)為000時，也就是b0'、b1'、b2'均為1時，只有信號線L(0)上之電晶體皆為導通，因此輸出線Out輸出之類比訊號Vn為電壓V(0)。

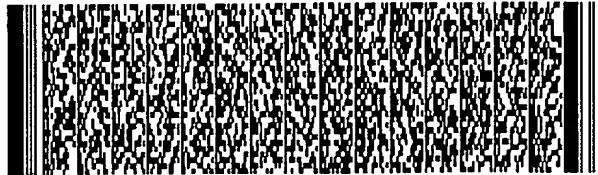
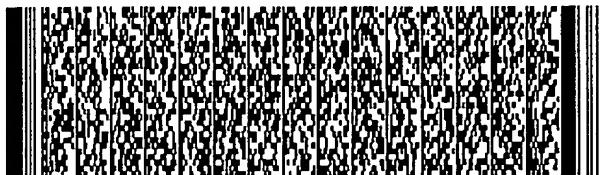
請同時參照第5圖，其所繪示為傳統上實現第3圖的解碼器302之佈局圖。解碼器302之這些電晶體節點310的佈局分別包括一閘極530、一源極532與一汲極534，並對應至一電晶體區。這些通道節點320的佈局除了包括閘極530、源極532與汲極534外，更包括一雜質層526，此雜質層可將此通道節點320之電晶體之源極與汲極短路，造成此電晶體為永遠導通，這些通道節點係各對應至一通道區。請同時參照第6A圖至第6E圖，其所繪示乃第5圖之信號線L(0)之製造方法流程圖。解碼器302之製造過程如下：首先，提供一基底624，如第6A圖所示。接著，形成一雜質層526於通道區中，如第6B圖所示。然後，於解碼器302中的所有電晶體節點310與所有通道節點320同時分別形成一電晶



## 五、發明說明 (5)

體，其步驟包括：形成一氧化層628於基底624上，如第6C圖所示；然後，於氧化層628上形成多個閘極530，如第6D圖所示；然後，於基底624中形成源極532與汲極534，如第6E圖所示。這些閘極530係分別連接至解碼輸入線B，而通道節點由於有雜質層526將其電晶體短路，因此為永遠導通，不受解碼輸入線B的控制。由於數位類比轉換裝置108(n)包括有P型數位類比轉換單元202與N型數位類比轉換單元204，因此必須分別形成P型雜質層與N型雜質層，使得傳統作法必須額外增加兩道光罩的製程。

傳統上另外一個作法將敘述如下。請參照第7圖，其所繪示乃傳統上另一種實現第3圖的解碼器302之佈局圖。解碼器302係由多個電晶體節點310與多個通道節點320以陣列形式組合而成，解碼器302之這些電晶體節點310的佈局分別包括一閘極730、一源極732與一汲極734，並對應至一電晶體區。這些通道節點320的佈局除了包括閘極730、源極732與汲極734外，更包括一短路元件736，短路元件736可將此通道節點320之源極732與汲極734短路，這些通道節點係對應至一通道區。第8A圖至第8E圖所繪示乃第7圖中之信號線L(0)之製造方法流程圖。首先，於解碼器302中之所有電晶體節點與所有通道節點同時分別形成一電晶體，其步驟如下：提供一基底824，如第8A圖所示；接著，形成一氧化層828於基底824上，如第8B圖所示；然後，於氧化層828上形成多個閘極730，如第8C圖所示；然後，於基底824中形成源極732與汲極734，如第8D圖所



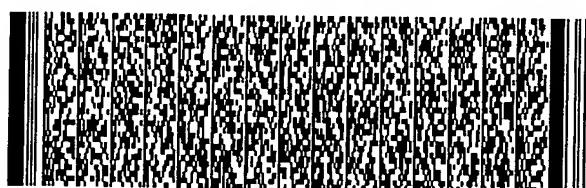
## 五、發明說明 (6)

示。此時所有節點上的電晶體已佈局完成。接著，先形成一絕緣層838後，再形成一金屬層，並定義此金屬層於通道區以形成短路元件736，短路元件736藉由穿過絕緣層838之第一接觸窗(contact)740與第二接觸窗742，分別與通道節點320之電晶體之源極732與汲極734形成接觸窗(Contact)而短路。閘極730係各別連接至解碼輸入線B，而通道區320由於有短路元件736分別將其電晶體之源極732與汲極734短路，因此為永遠導通，不受任一解碼輸入線B的控制。本方法的優點為不須如上一個作法需要額外的P型與N型雜質層兩道光罩，缺點則為信號線上之多個通道區中，短路元件736與源極732或汲極734相連皆需要接觸窗(Contact)，接觸窗增多會使此數位類比轉換器寬度變大。再加上資料驅動器中有3840個數位類比轉換裝置，因此使得資料驅動器中數位類比轉換裝置所佔的總寬度太大，雖然在6位元的數位類比轉換裝置中尚可勉強使用，但在8位元的數位類比轉換裝置中，將使資料驅動器將過於狹長而不適用。

### 【發明目的及概述】

有鑑於此，本發明的目的就是在提供一種寬度縮短且毋須增加額外之光罩數量的解碼器之佈局的結構與製造方法。

根據本發明的目的，提出一種解碼器之結構，解碼器包括 $m*n$ 個節點，這些節點包括數個電晶體節點與數個通



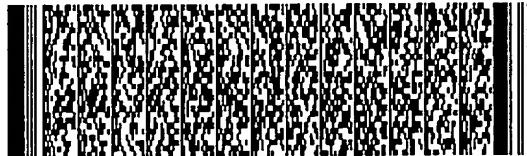
## 五、發明說明 (7)

道節點。這些電晶體節點之一為電晶體節點  $N(i_1, j_1)$ ，而這些通道節點之一為通道節點  $N(i_2, j_2)$ 。電晶體節點  $N(i_1, j_1)$  係對應至一電晶體區  $A(i_1, j_1)$ ，而通道節點  $N(i_2, j_2)$  則對應至一通道區  $A(i_2, j_2)$ 。其中， $1 \leq i_1, i_2 \leq m$ ， $1 \leq j_1, j_2 \leq n$ ， $i_1 \neq i_2$ ， $j_1 \neq j_2$ 。解碼器包括：一基底、一第一汲極/源極、一第二汲極/源極、一通道、一第一絕緣層、一閘極、一第二絕緣層與一金屬層。第一汲極/源極與一第二汲極/源極係位於基底中之電晶體區  $A(i_1, j_1)$  上。通道係位於基底中之通道區  $A(i_2, j_2)$  上。第一絕緣層係位於基底之上，並覆蓋第一汲極/源極、第二汲極/源極與通道。閘極係位於第一絕緣層之上，且位於第一汲極/源極與第二汲極/源極中間。第二絕緣層係覆蓋閘極。金屬層係位於閘極上方，以使同一行的閘極電性連接以形成一解碼輸入線。

其中，當電晶體節點  $N(i_1, j_1)$  與通道節點  $N(i_2, j_2)$  為同一列且相互鄰接時，電晶體區  $A(i_1, j_1)$  中之第一汲極/源極或第二汲極/源極係與通道區  $A(i_2, j_2)$  中之通道相連。

當電晶體節點  $N(i_1, j_1)$  與位於同一列之電晶體節點  $N(i_3, j_3)$  相鄰時，電晶體節點  $N(i_1, j_1)$  之第一汲極/源極或第二汲極/源極係與電晶體節點  $N(i_3, j_3)$  之第一汲極/源極或第二汲極/源極相連接。

當通道節點  $N(i_2, j_2)$  與位於同一列之一通道節點  $N(i_4, j_4)$  相鄰時，通道節點  $N(i_2, j_2)$  之通道係與通道節點



## 五、發明說明 (8)

$N(i_4, j_4)$  之通道相連接。

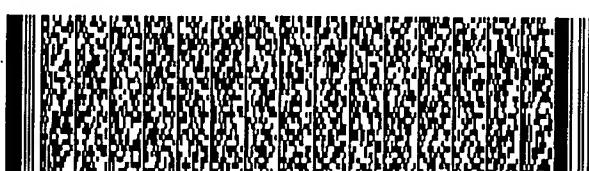
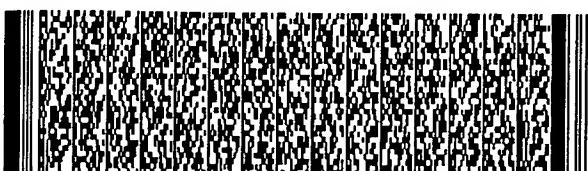
同一列之這些節點之一端係接收一訊號，而另一端則連接至一資料線，資料線係用以選擇性地輸出此訊號。金屬層係使同一行之這些電晶體節點之閘極電性連接，以形成  $Y$  條解碼輸入線以接收一數位資料訊號。

依據本發明之另一目的，提出一種解碼器之佈局的製造方法。解碼器包括  $m$  條信號線、 $n$  條解碼輸入線、 $p$  個電晶體節點與  $(m * n - p)$  個通道節點，其中， $p$  係小於  $m * n$  之正整數。製造方法包括以下步驟：首先，提供一基底。接著，形成一第一絕緣層。然後，形成  $p$  個閘極於這些電晶體區。然後，形成  $p$  個第一汲極/源極與  $p$  個第二汲極/源極於這些電晶體區，同時形成  $(m * n - p)$  個通道於這些通道區，以形成  $m$  條信號線。然後，形成一第二絕緣層。以及，沈積一金屬層，並定義金屬層以形成這些解碼輸入線，這些解碼輸入線係各分別透過多數個接觸窗(via)與同一行之這些閘極電性連接。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下。

### 【較佳實施例】

請參照第 9A 圖，其所繪示乃依照本發明一較佳實施例的實現第 3 圖之解碼器 302 之佈局圖。此解碼器包括  $8 * 6$  個節點，這些節點包括多個電晶體節點 310 與多個通道節點



五、發明說明 (9)

-320。這些電晶體節點310各分別對應至一電晶體區，而這些通道節點320亦係各分別對應至一通道區。這些電晶體節點310各分別包括一閘極、一源極與一汲極，這些通道節點320各分別包括一通道。同一行之這些電晶體節點的閘極係相連，形成解碼輸入線B(0)至B(5)，每一列之這些電晶體節點與這些通道節點係為串聯，形成信號線L(0)至L(7)。

請參照第9B圖，其所繪示乃第9A圖中信號線L(0)之剖面圖。信號線L(0)包括一基底924、一第一汲極/源極932、一第二汲極/源極934、一通道936、一第一絕緣層928、一閘極930、一第二絕緣層938與一金屬層940。第一汲極/源極932與第二汲極/源極934係位於基底924中之電晶體區A(0, 1)、A(0, 3)與A(0, 5)上。通道936係位於基底中之通道區A(0, 0)、A(0, 2)與A(0, 4)上。第一絕緣層位於基底924之上，並覆蓋第一汲極/源極932、第二汲極/源極934與通道936。閘極930係位於第一絕緣層928之上，且位於第一汲極/源極932與第二汲極/源極934中間。第二絕緣層938係覆蓋閘極930。金屬層940係位於閘極930上方，並與閘極930電性連接。

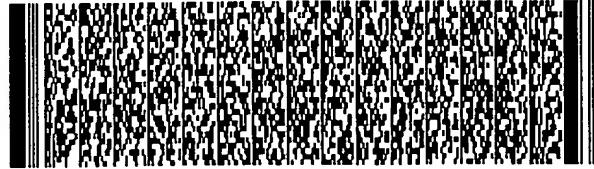
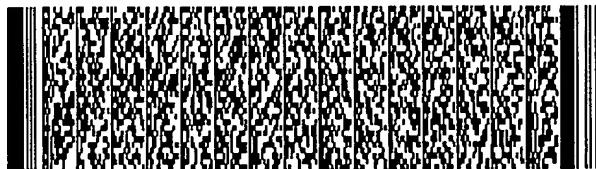
其中，電晶體節點N(0, 1)與通道節點N(0, 0)為同一列且相互鄰接，電晶體區A(0, 1)中之第一汲極/源極932係與通道區A(0, 0)中之通道相連。金屬層940係使同一行之這些電晶體開關節點之閘極930電性連接，以形成6條解碼輸入線以接收一數位資料訊號D(n)。



## 五、發明說明 (10)

本發明之解碼器的電晶體節點310的製造方法為傳統上形成電晶體的方法，即依次形成閘極、第一汲極/源極與第二汲極/源極；通道節點320之製造方法為只形成一通道，且此通道與電晶體節點之第一汲極/源極與第二汲極/源極為同時形成，不需另一道光罩製程。請同時參照第10A圖至第10E圖，其所繪示乃依照本發明一較佳實施例之解碼器302之信號線L(0)之製造方法流程圖。解碼器的製造方法包括以下步驟：首先，提供一基底924，如第10A圖所示。接著，如第10B圖與第10C圖所示，在基底924上形成一第一絕緣層928，並形成多個閘極930於電晶體區A(0, 1)、A(0, 3)與A(0, 5)。然後，形成多個第一汲極/源極932與多個第二汲極/源極934於電晶體區A(0, 1)、A(0, 3)與A(0, 5)，同時，由於通道區A(0, 0)、A(0, 2)與A(0, 4)中沒有閘極的覆蓋，可以直接形成多個通道936於通道區A(0, 0)、A(0, 2)與A(0, 4)，如第10D圖所示，以形成信號線L(0)至L(7)，且此時通道區A(0, 0)、A(0, 2)與A(0, 4)之通道936各分別與電晶體區A(0, 1)、A(0, 3)與A(0, 5)之第一汲極/源極932或第二汲極/源極934為電性相連。接著，形成一第二絕緣層938。然後，沈積一金屬層940，並定義金屬層940以形成解碼輸入線B(0)至B(5)，這些解碼輸入線係各分別以透過多個接觸窗942而與同一行之這些閘極930電性連接，如第10E圖所示。

由於本發明之通道區之通道與電晶體區之汲極與源極為同時形成，不需如傳統之第一種作法需於通道區分別增



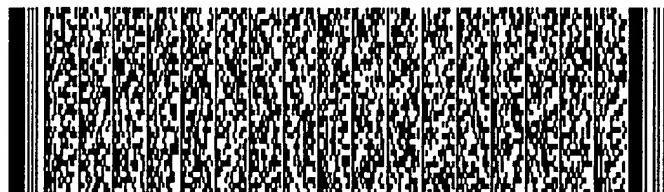
## 五、發明說明 (11)

加P型與N型的通道，因此可以減少兩道光罩的製程。本發明也不需如傳統之第二種作法需要將通道區的電晶體之第一汲極/源極與第二汲極/源極以金屬層短路，因此可以減少形成接觸窗所需的寬度。如此即可在不額外增加光罩數量，也使電路寬度縮短，達成此解碼器的佈局。

### 【發明效果】

本發明之通道區之通道與電晶體區之汲極與源極為同時形成，不需如傳統之第一種作法需於通道區分別增加P型與N型的通道，因此可以減少兩道光罩的製程。本發明也不需如傳統之第二種作法需要將通道區的電晶體之第一汲極/源極與第二汲極/源極以金屬層短路，因此可以減少形成接觸所需的寬度。如此即可在不額外增加光罩數量，也使電路寬度縮短，達成此解碼器電路的佈局。

綜上所述，雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

【圖式之簡單說明】

第1圖繪示乃彩色薄膜電晶體液晶螢幕之驅動電路架構圖。

第2圖繪示乃第1圖中之一個數位類比轉換裝置的電路方塊圖。

第3圖繪示乃第2圖中之N型數位類比轉換單元之一例的電路圖。

第4A圖繪示乃一電晶體節點之電路圖。

第4B圖繪示乃一通道節點之電路圖。

第5圖繪示為傳統上實現第3圖的解碼器之佈局圖。

第6A圖至第6E圖繪示乃第5圖之信號線L(0)之製造方法流程圖。

第7圖繪示乃傳統上另一種實現第3圖的解碼器之佈局圖。

第8A圖至第8E圖所繪示乃第7圖中之信號線L(0)之製造方法流程圖。

第9A圖繪示乃依照本發明一較佳實施例的實現第3圖之解碼器之佈局圖。

第9B圖，其所繪示乃第9A圖中信號線L(0)之剖面圖。

第10A圖至第10E圖繪示乃依照本發明一較佳實施例之解碼器之信號線L(0)之製造方法流程圖。

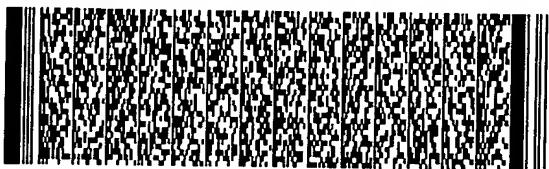
【圖式標號說明】

100：彩色薄膜液晶螢幕



圖式簡單說明

- 104 : 掃瞄驅動器
- 106 : 資料驅動器
- 108 : 數位類比轉換裝置
- 112 : 資料線
- 114 : 掃瞄線
- 202 : P型數位類比轉換單元
- 204 : N型數位類比轉換單元
- 206 : 緩衝單元
- 210、212 : 切換單元
- 302 : 解碼器
- 310 : 電晶體節點
- 320 : 通道節點
- 526 : 雜質區
- 530、730、930 : 閘極
- 532、732、932 : 源極
- 534、734、934 : 沖極
- 624、824、924 : 基底
- 628、828 : 氧化層
- 736 : 短路元件
- 740 : 第一接觸窗
- 742 : 第二接觸窗
- 838 : 絝緣層
- 928 : 第一絕緣層
- 938 : 第二絕緣層



圖式簡單說明

940：金屬層

942：接觸窗



## 六、申請專利範圍

1. 一種解碼器的結構，該解碼器包括 $m \times n$  個節點，該些節點包括複數個電晶體節點與複數個通道節點，該些電晶體節點之一為電晶體節點 $N(i_1, j_1)$ ，而該些通道節點之一為通道節點 $N(i_2, j_2)$ ，該電晶體節點 $N(i_1, j_1)$ 係對應至一電晶體區 $A(i_1, j_1)$ ，而該通道節點 $N(i_2, j_2)$ 則對應至一通道區 $A(i_2, j_2)$ ，其中， $1 \leq i_1, i_2 \leq m$ ， $1 \leq j_1, j_2 \leq n$ ， $i_1 \neq i_2$ ， $j_1 \neq j_2$ ，該解碼器的結構至少包括：

一基底；

一第一汲極/源極與一第二汲極/源極，位於該基底中之該電晶體區 $A(i_1, j_1)$ 上；

一通道，位於該基底中之該通道區 $A(i_2, j_2)$ 上；

一第一絕緣層，位於該基底之上，並覆蓋該第一汲極/源極、該第二汲極/源極與該通道；

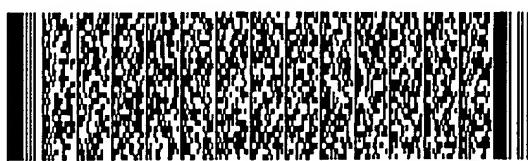
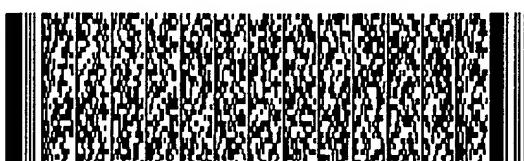
一閘極，位於該第一絕緣層之上，且位於該第一汲極/源極與該第二汲極/源極中間；

一第二絕緣層，覆蓋該閘極；及

一金屬層，位於該閘極上方，並與該閘極電性連接；

其中，當該電晶體節點 $N(i_1, j_1)$ 與該通道節點 $N(i_2, j_2)$ 為同一列且相互鄰接時，該電晶體區 $A(i_1, j_1)$ 中之該第一汲極/源極或該第二汲極/源極係與該通道區 $A(i_2, j_2)$ 中之該通道相連；

當該電晶體節點 $N(i_1, j_1)$ 與位於同一列之一電晶體節點 $N(i_3, j_3)$ 相鄰時，該電晶體節點 $N(i_1, j_1)$ 之該第一汲極/源極或該第二汲極/源極係與該電晶體節點 $N(i_3, j_3)$ 之該



## 六、申請專利範圍

- 第一汲極/源極或該第二汲極/源極相連接；

當該通道節點  $N(i_2, j_2)$  與位於同一列之一通道節點  $N(i_4, j_4)$  相鄰時，該通道節點  $N(i_2, j_2)$  之該通道係與通道節點  $N(i_4, j_4)$  之該通道相連接；以及

該金屬層係使同一行之該些電晶體開關節點之閘極電性連接，以形成複數條條解碼輸入線以接收一數位資料訊號。

2. 如申請專利範圍第1項所述之解碼器的結構，其中該第一絕緣層係為一氧化層。

3. 一種解碼器之佈局的製造方法，該解碼器包括  $m \times n$  個節點，該些節點包括  $p$  個電晶體節點與  $(m \times n - p)$  通道節點，該些電晶體節點各分別對應至一電晶體區，而該些通道節點係各分別對應至一通道區 其中， $p$  係小於  $m \times n$  之正整數，該製造方法至少包括以下步驟：

提供一基底；

在該基底上形成一第一絕緣層；

形成  $p$  個閘極於該些電晶體區；

形成  $p$  個第一汲極/源極與  $p$  個第二汲極/源極於該些電晶體區，同時形成  $(m \times n - p)$  個通道於該些通道區，以形成  $m$  條信號線；

形成一第二絕緣層；以及

在該第二絕緣層上形成  $n$  條解碼輸入線 (decoder input)，該些解碼輸入線係各分別透過複數個接觸窗 (contact) 與同一行之該些閘極電性連接。



## 六、申請專利範圍

4. 如申請專利範圍第3項所述之解碼器，其中該第一絕緣層係為一氧化層。

5. 一種解碼器的結構，該解碼器包括複數個電晶體節點與複數個通道節點，該些電晶體節點各分別對應至一電晶體區，而該些通道節點各分別對應至一通道區，至少包括：

一基底；

一電晶體，位於該電晶體區，包括一閘極、一第一源/汲極與一第二源/汲極，其中該第一源/汲極與該第二源/汲極區係位於該閘極側邊之該基底中；

一金屬層，位於該閘極上方，與該基底電性絕緣；

一通道，位於該基底中之該通道區；

其中，當該電晶體節點與該通道節點為同一列且相互鄰接時，該電晶體區中之該第一汲極/源極與該第二汲極/源極之一係與該通道區中之該通道連接；

當該電晶體節點與位於同一列之一電晶體節點相鄰時，該電晶體節點之該第一汲極/源極與該第二汲極/源極之一係與該電晶體節點之該第一汲極/源極與該第二汲極/源極之一連接；

當該通道節點與位於同一列之另一通道節點相鄰時，該通道節點之該通道係與另一通道節點之通道連接；以及

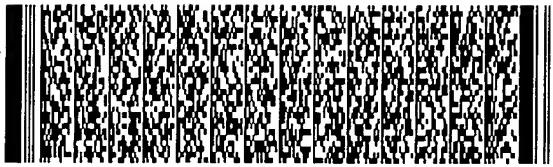
該金屬層係以至少一接觸窗使同一行之該些電晶體節點之閘極電性連接，以形成複數條解碼輸入線以接收一數位資料訊號。

## 六、申請專利範圍

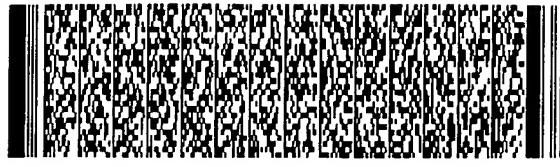
6. 如申請專利範圍第5項所述之解碼器，更包括一第一絕緣層，形成該閘極與該基底之間，用以使該閘極與該基底電性絕緣。
7. 如申請專利範圍第5項所述之解碼器，更包括一第二絕緣層，形成在該金屬層與該基底之間，用以使該金屬層與該基底電性絕緣。
8. 如申請專利範圍第5項所述之解碼器，其中該通道區之該基底上不具有該電晶體之該閘極。
9. 如申請專利範圍第5項所述之解碼器，其中在該通道區上的該金屬層與該通道區電性絕緣。



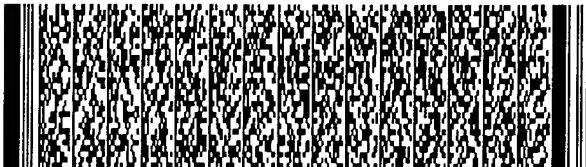
第 1/21 頁



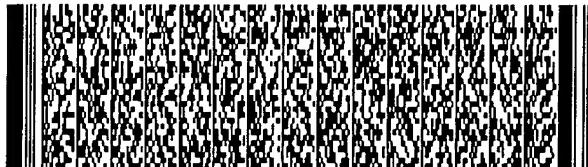
第 2/21 頁



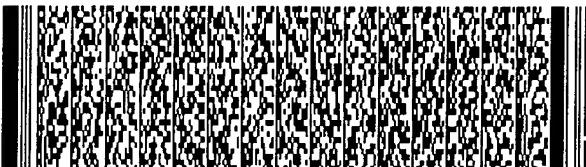
第 4/21 頁



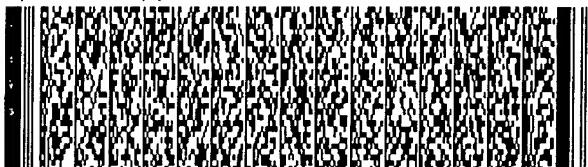
第 4/21 頁



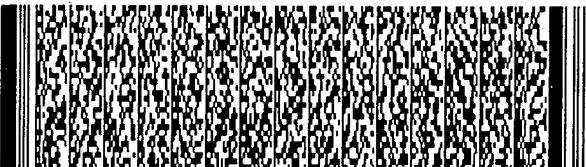
第 5/21 頁



第 5/21 頁



第 6/21 頁



第 6/21 頁



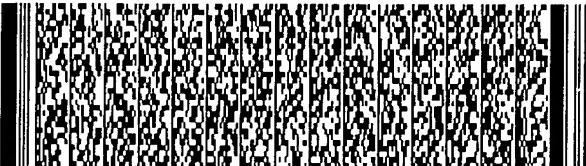
第 7/21 頁



第 7/21 頁



第 8/21 頁



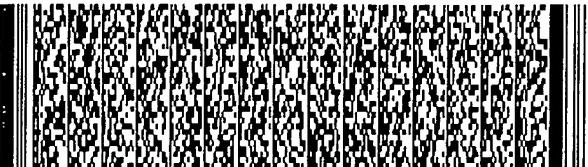
第 8/21 頁



第 9/21 頁



第 9/21 頁



第 10/21 頁



第 10/21 頁



第 11/21 頁

第 11/21 頁

第 12/21 頁

第 12/21 頁

第 13/21 頁

第 13/21 頁

第 14/21 頁

第 15/21 頁

第 16/21 頁

第 17/21 頁

第 18/21 頁

第 18/21 頁

第 19/21 頁

第 19/21 頁

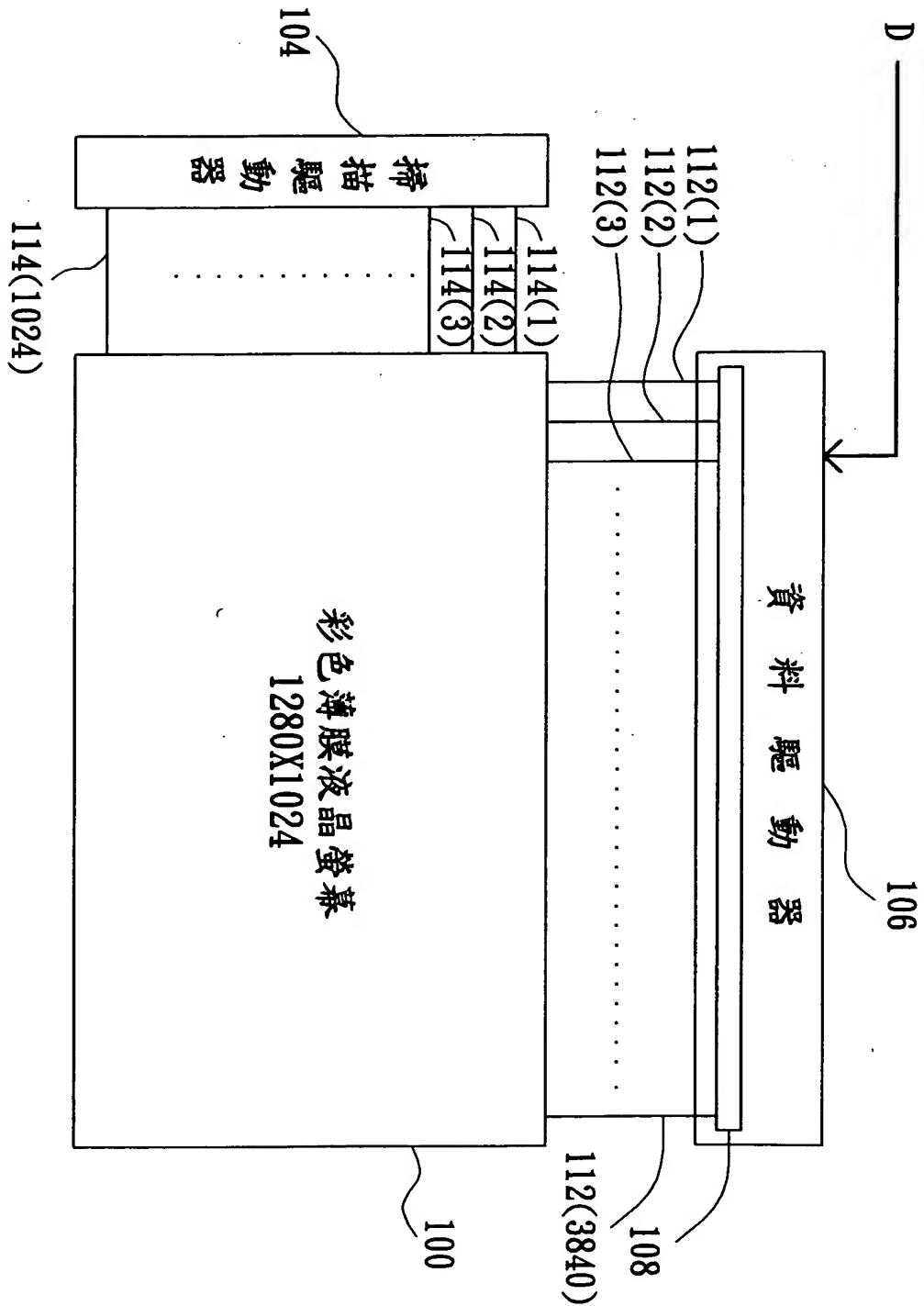
第 20/21 頁

第 20/21 頁

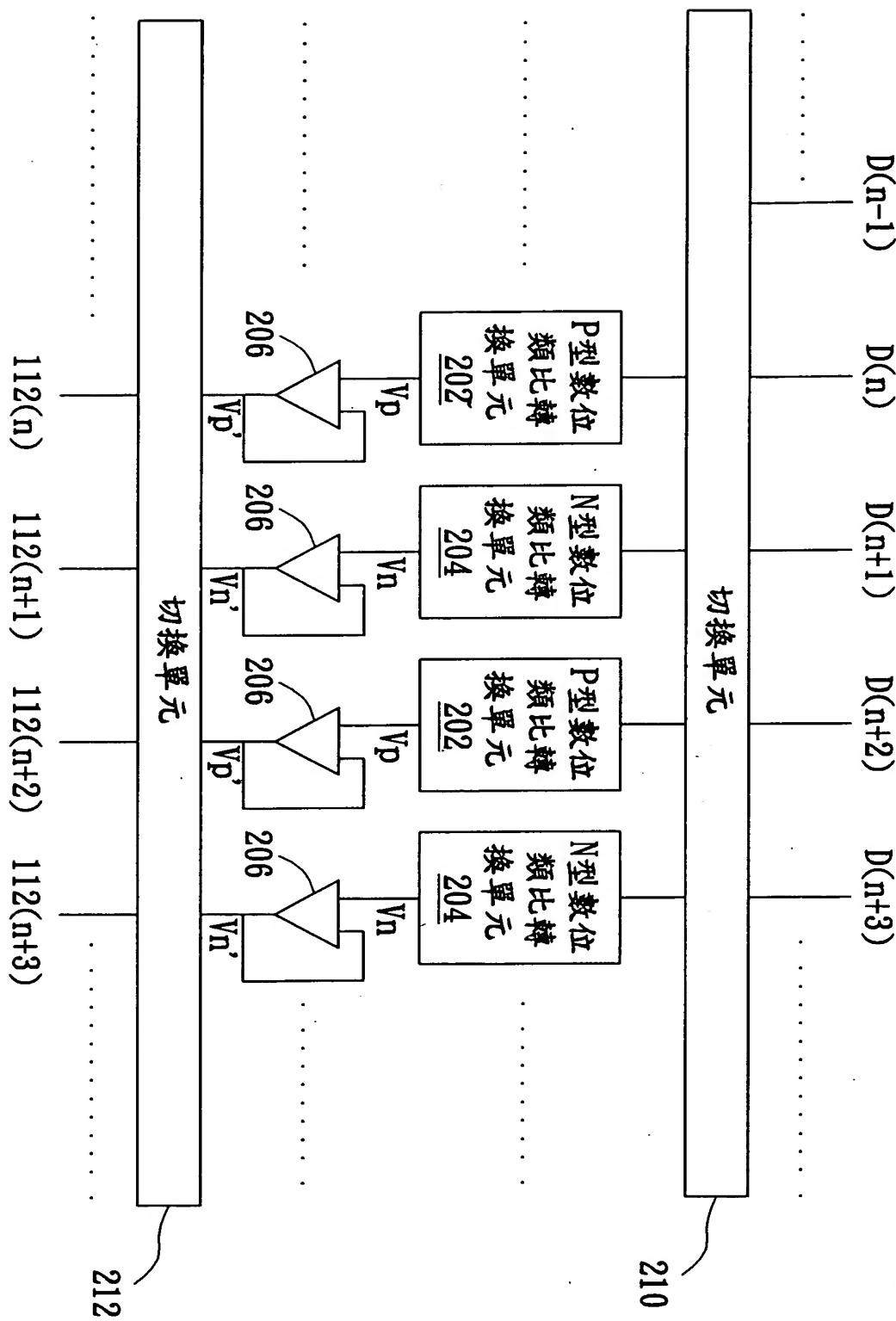
申請案件名稱:解 之佈局的結構與製造方法

第 21/21 頁

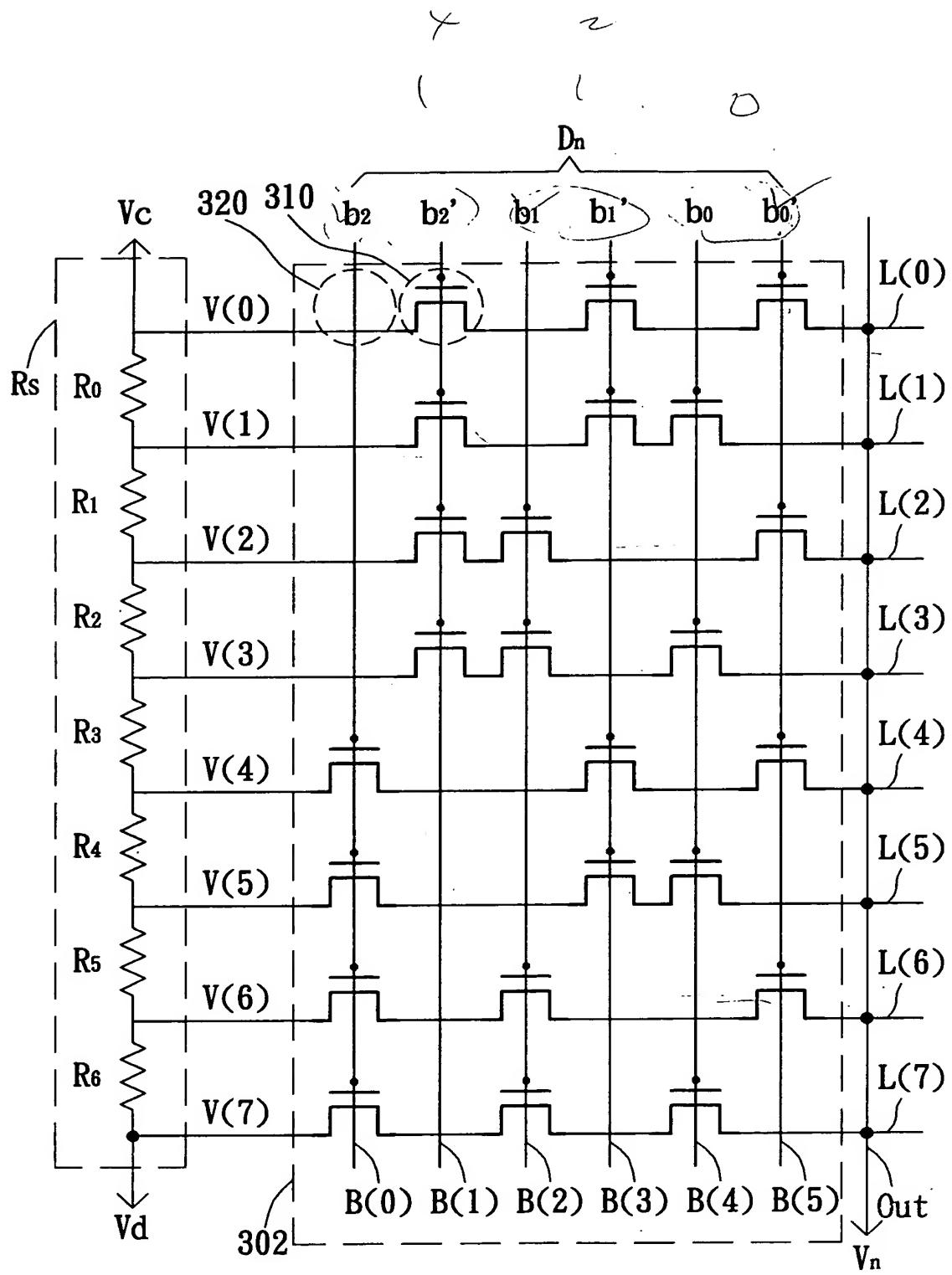




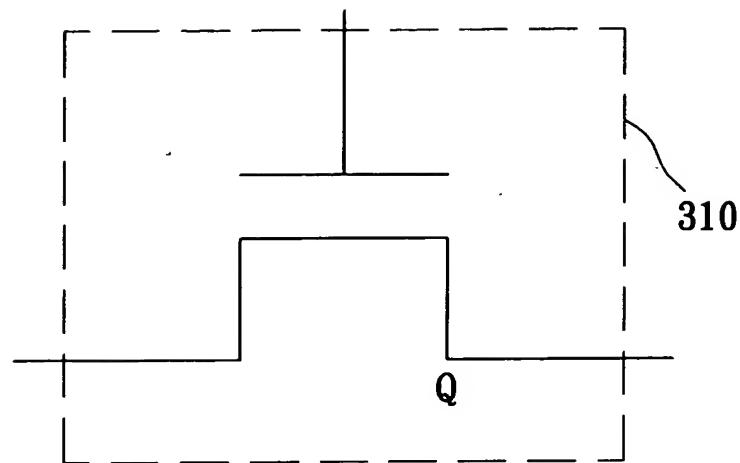
第 1 圖



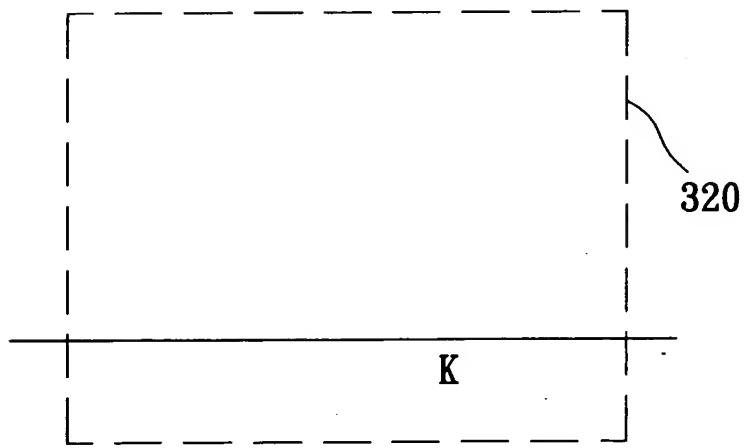
第 2 圖



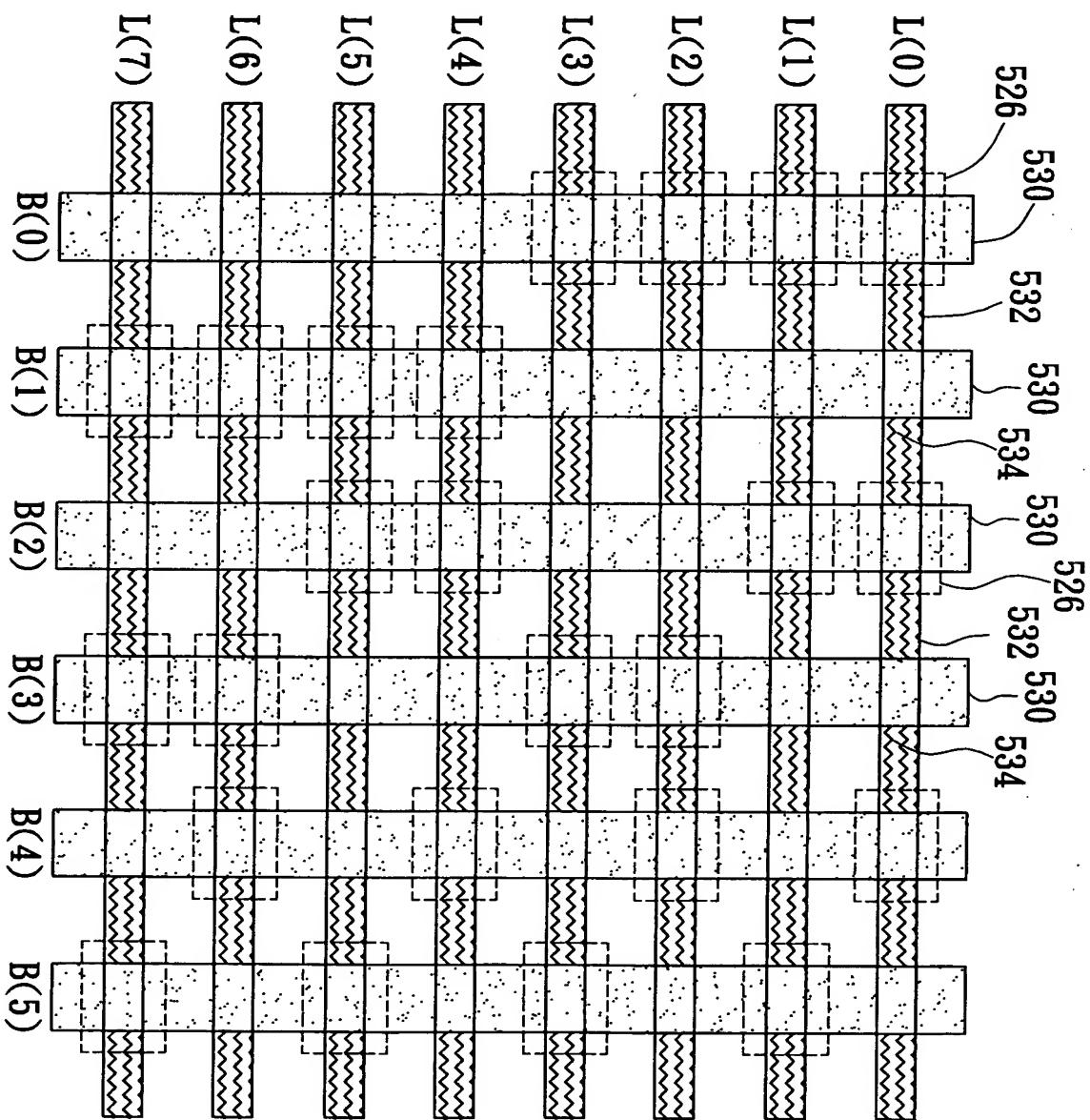
第 3 圖



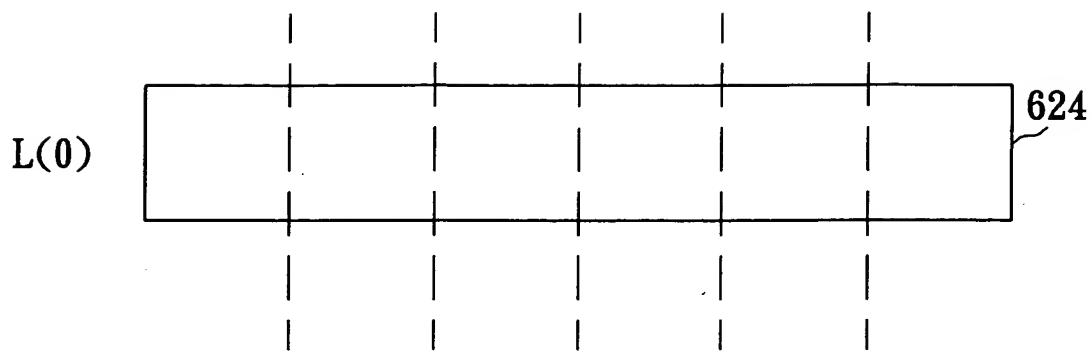
第 4A 圖



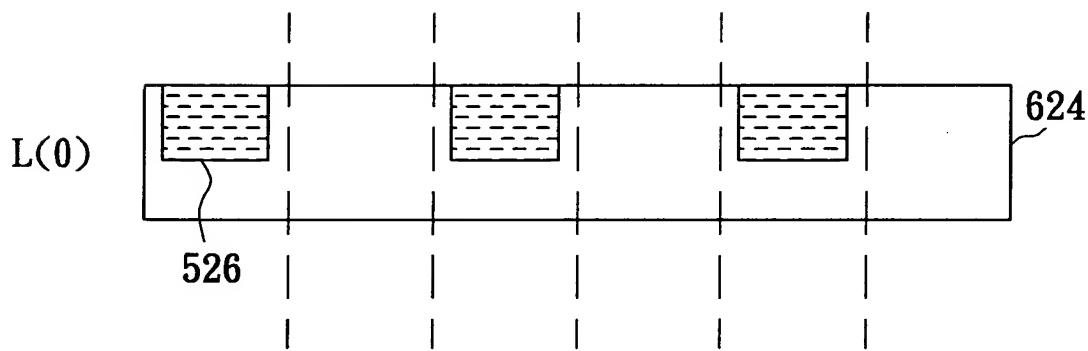
第 4B 圖



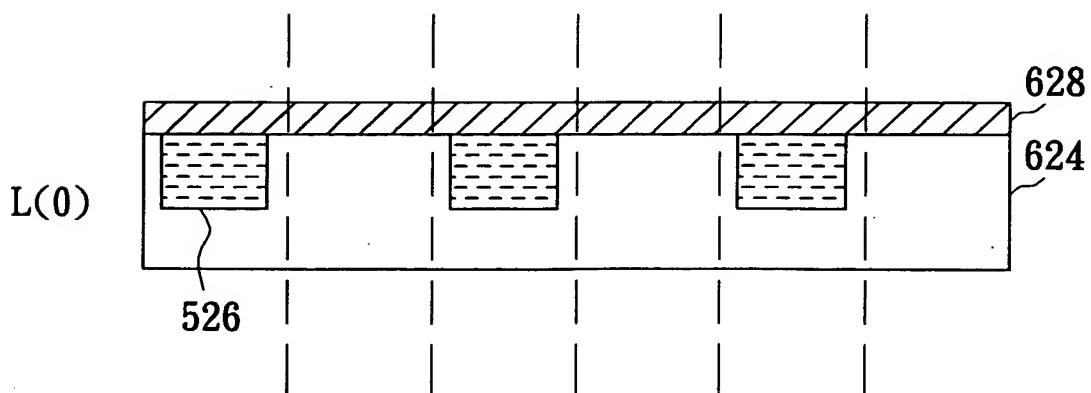
第 5 圖



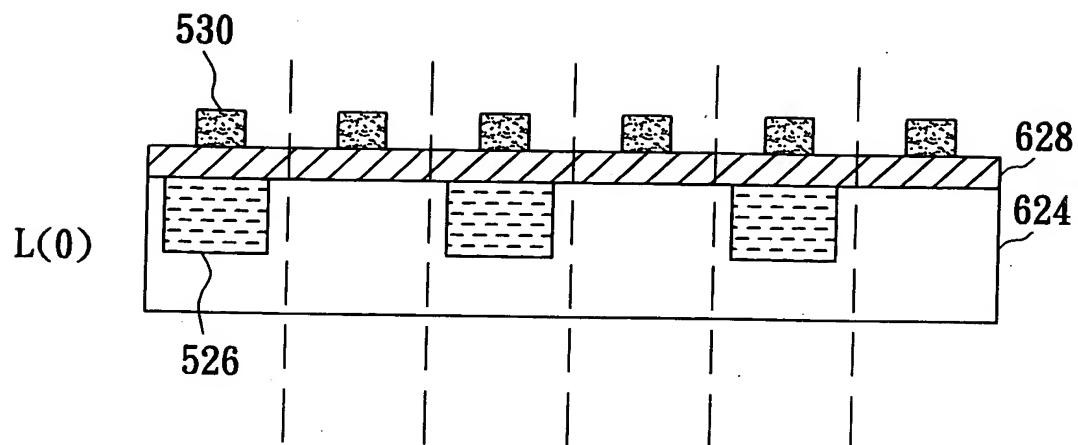
第 6A 圖



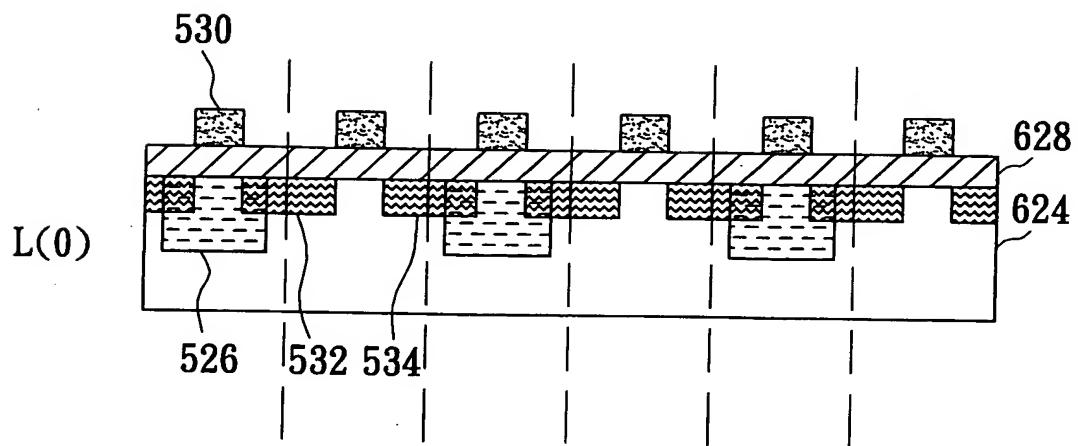
第 6B 圖



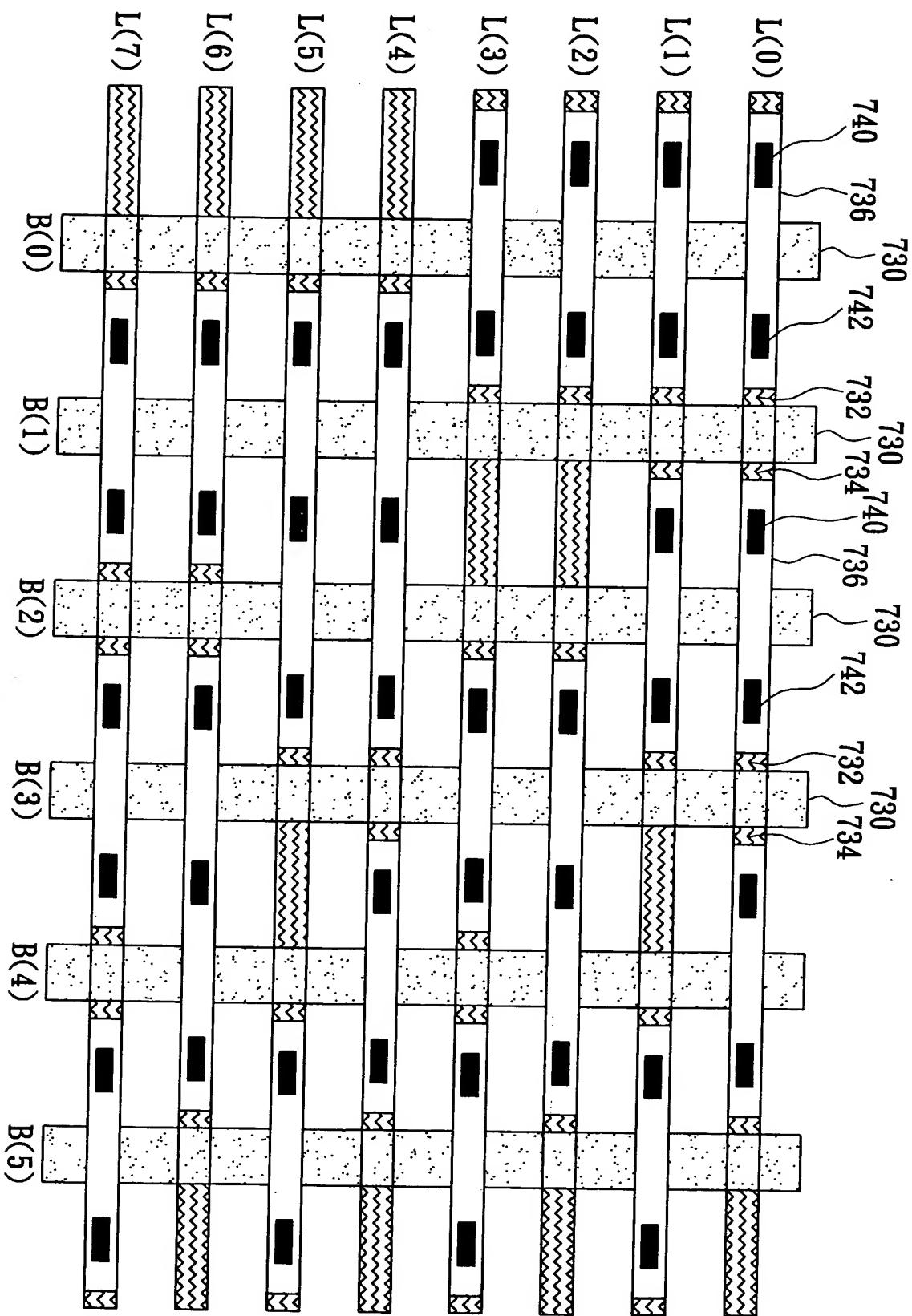
第 6C 圖



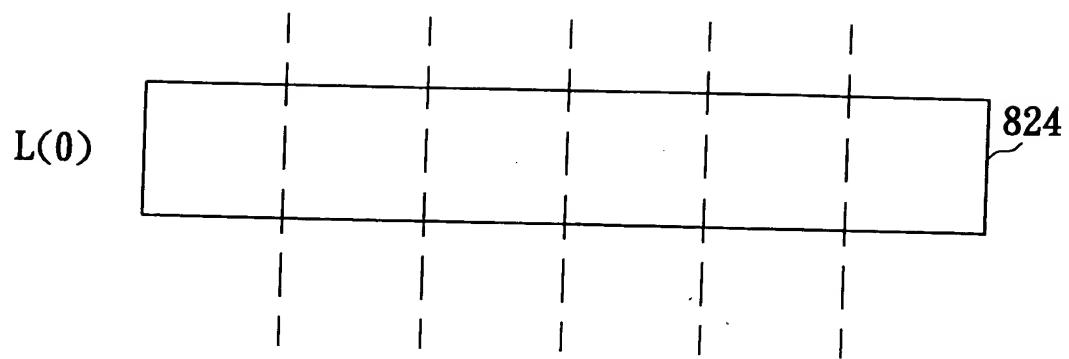
第 6D 圖



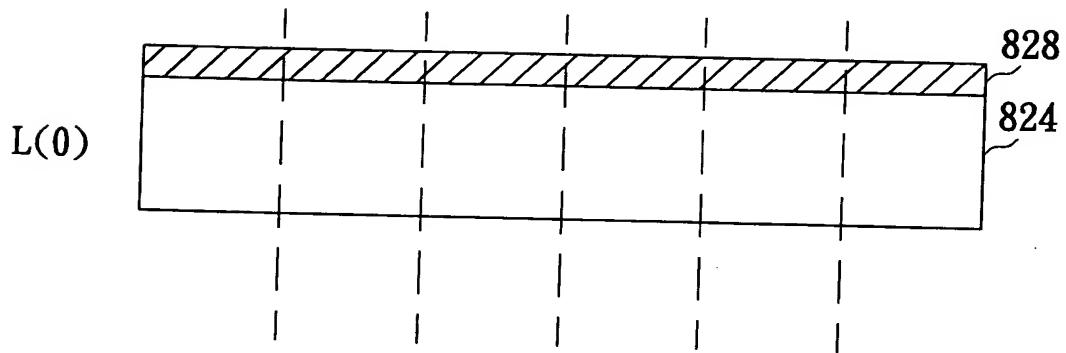
第 6E 圖



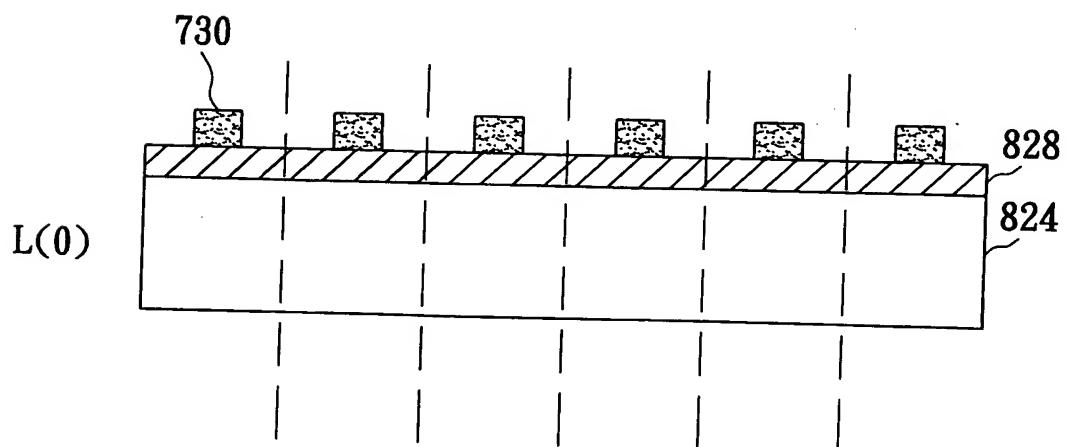
第 7 圖



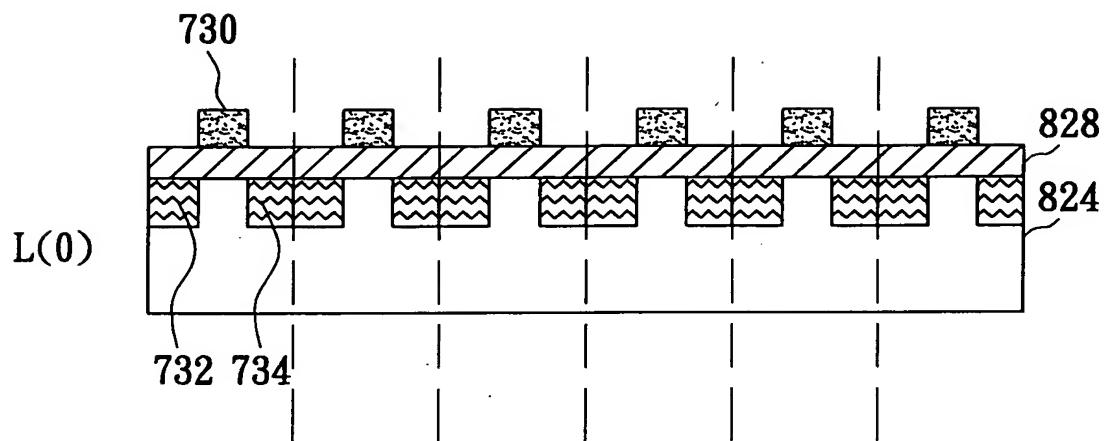
第 8A 圖



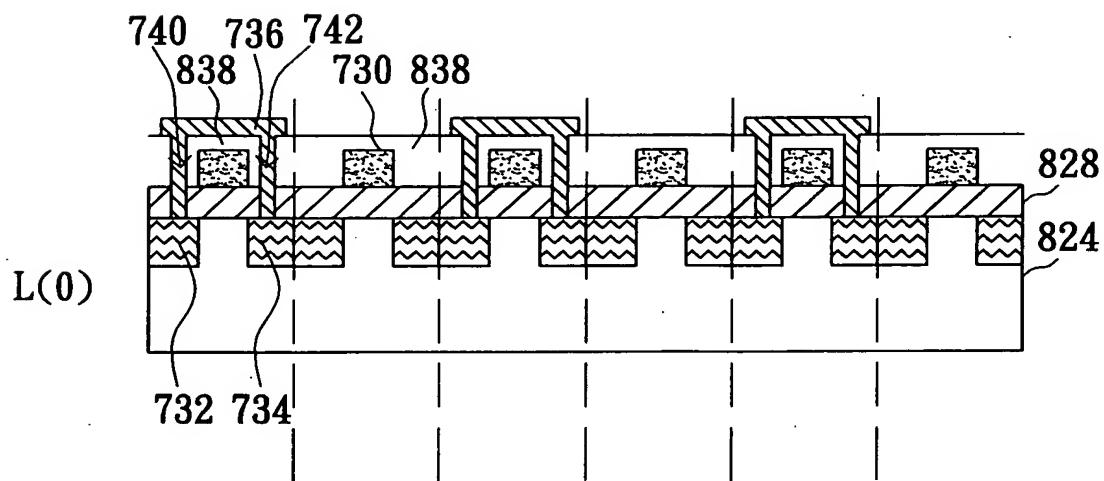
第 8B 圖



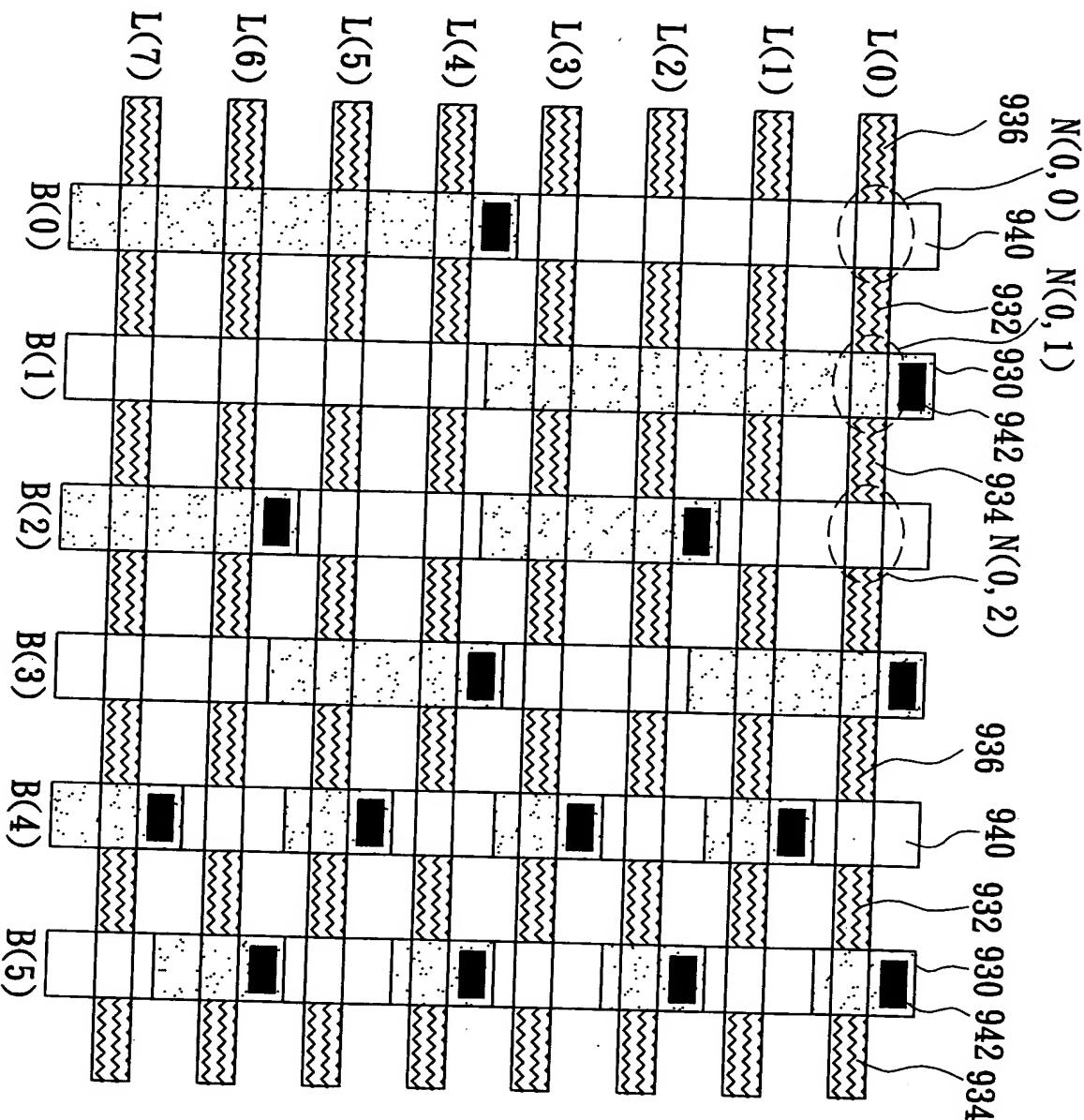
第 8C 圖



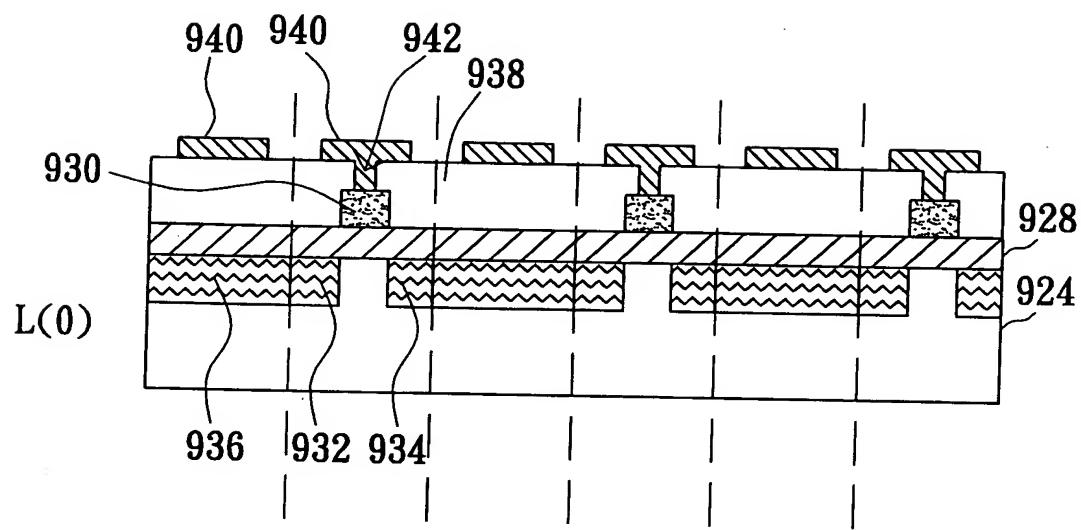
第 8D 圖



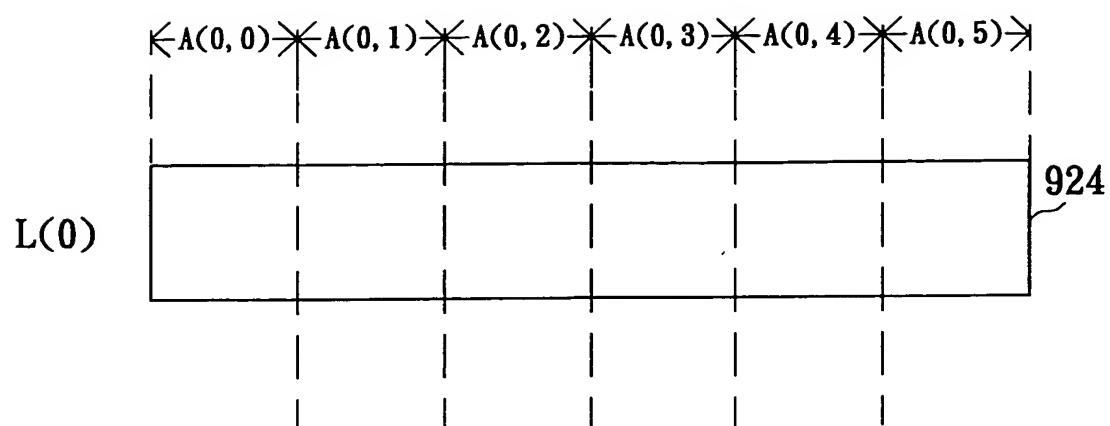
第 8E 圖



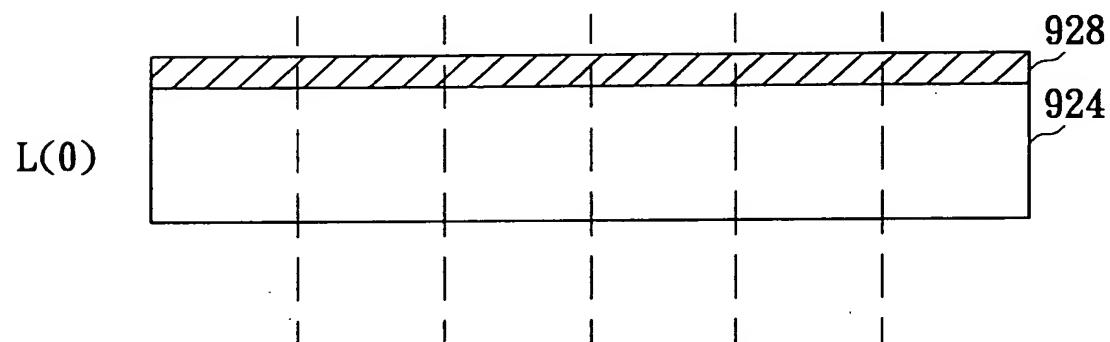
第 9A 圖



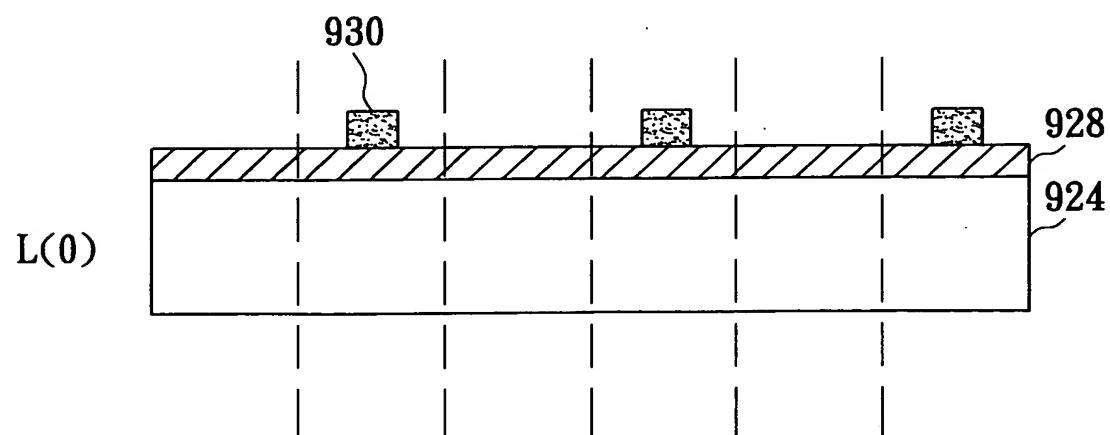
第 9B 圖



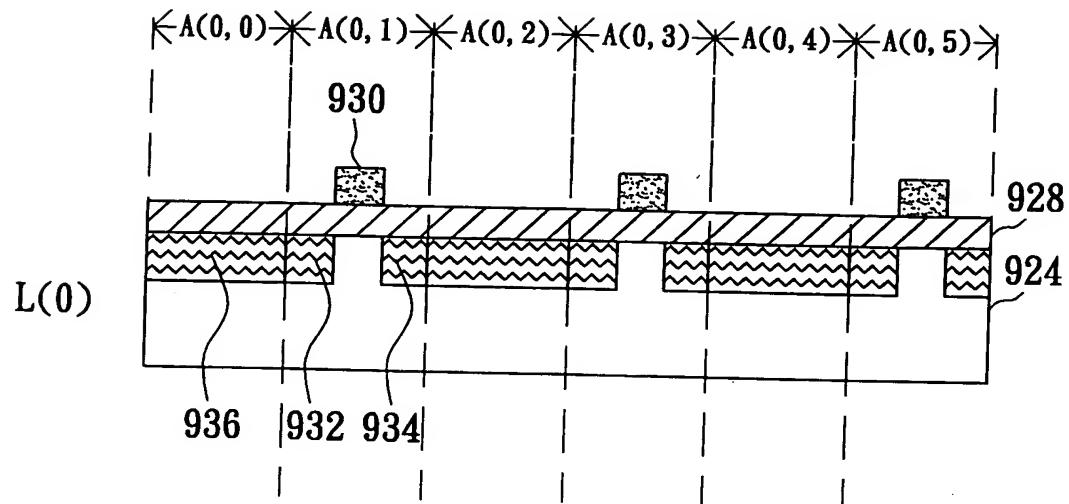
第 10A 圖



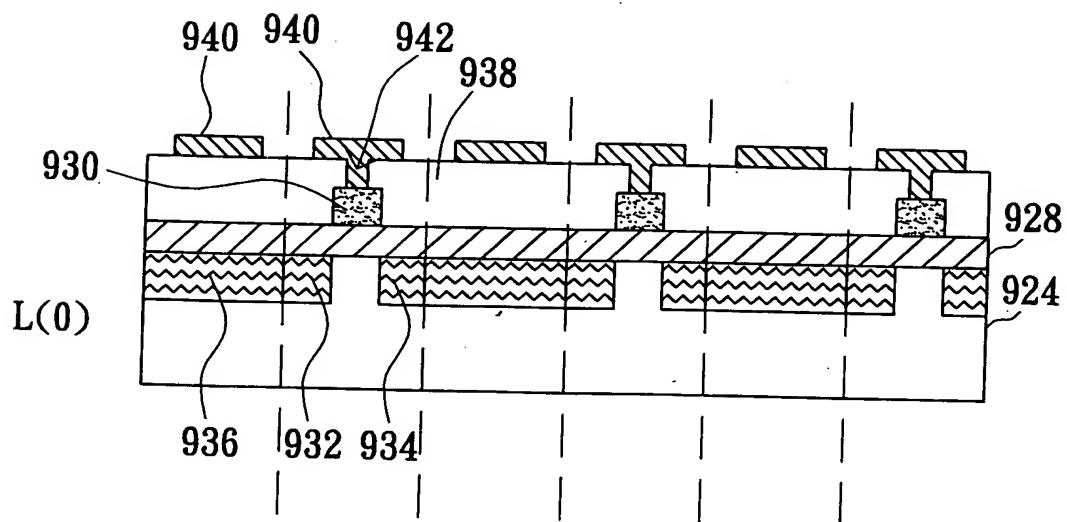
第 10B 圖



第 10C 圖



第 10D 圖



第 10E 圖